

⑫ 公開特許公報(A) 平2-3008

⑤ Int. Cl.

G 02 F 1/133
G 09 G 3/36
// H 03 K 17/00

識別記号

5 5 0

庁内整理番号

8708-2H
8621-5C
8124-5J

⑬ 公開 平成2年(1990)1月8日

審査請求 未請求 請求項の数 6 (全10頁)

⑭ 発明の名称 走査回路およびそれを用いた表示パネル

⑰ 特 願 昭63-150285

⑱ 出 願 昭63(1988)6月20日

⑲ 発 明 者 小 池 紀 雄 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 金 子 好 之 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

走査回路およびそれを用いた表示パネル

2. 特許請求の範囲

1. 複数の非品質半導体薄膜トランジスタから成る単位回路を、複数段従属接続してパルスシフト回路を構成し、該パルスシフト回路の出力するシフトパルスにより開閉する複数の非品質半導体薄膜トランジスタから成る充電・放電回路を上記パルスシフト回路に接続して成り、該充電・放電回路の各段から時間的に順次走査パルスを得ることを特徴とする走査回路。

2. 上記薄膜トランジスタ走査回路を表示パネルと同一パネル内に集積化し、該走査回路を該表示パネルの垂直走査回路として用いることを特徴とする請求項1に記載の走査回路を用いた表示パネル。

3. 上記表示パネルの水平走査回路を多結晶あるいは単結晶半導体材料で構成し、上記表示パネル上に集積化したことを特徴とする請求項2に

記載の走査回路を用いた表示パネル。

4. 上記水平走査回路と上記表示パネルとの間の接続をワイヤボンディングによつて行なうことを特徴とする請求項3に記載の走査回路を用いた表示パネル。

5. 上記水平走査回路と上記表示パネルとの間の接続を、上記水平走査回路および上記表示パネルの各々に設けたパンプを融合させることによつて行なうことを特徴とする請求項3に記載の走査回路を用いた表示パネル。

6. 走査パルスのシフト動作を行なう第1の回路と、ゲート線の駆動を行なう第2の回路から成ることを特徴とする走査回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は液晶表示装置などの駆動に用いる走査回路に係り、特に液晶パネル内に集積化して形成するに好適な走査回路に関する。

(従来の技術)

液晶表示装置の駆動に用いる従来の走査回路構

成を第2図に示す。1はアクティブマトリックス方式の液晶パネルであり、同一パネル内に集積した画素スイッチ用薄膜トランジスタ2(半導体材料としては例えばアモルファスSiを用いる)、画素を形成する液晶セル3、スイッチ2を開閉するゲート走査線Gおよび液晶セル3に画像信号を供給する画像信号線Sにより構成されている。4はゲート走査線に走査パルスを送出する垂直走査回路、また5は信号線を走査し信号線に画像信号を供給する水平走査回路である。ここで、液晶パネル内のゲート線および信号線の一端にはリード端子R_G、R_Sが垂直走査パネルおよび水平走査パネル内の走査パルス供給線V、Hの一端にはリード端子R_V、R_Hが各々設けられ、リード端子R_VとR_G、およびリード端子R_HとR_Sはプリント配線板F_V、F_H(屈曲性のある配線プリント基板などが用いられる)により電気的に接続される。

この種の液晶表示装置は小型、軽量、低消費電力という特徴はもとより、従来のCRT表示装置に較べて遜色ない画質が得られ、さらに大型化

達成される。

そして、上記本発明の特徴点を具体的に説明すると、本発明の垂直走査回路においては、①ゲート線容量を走査回路から切離す、②ゲート線容量を駆動する能力を備えた回路を設けるようにしたところに特徴がある。上記の2つの機能を実現するため、本発明の垂直走査回路は、走査パルスのシフト動作のみを行う走査パルスシフト回路とシャフト回路各段に設けた充放電回路から構成される。

(作用)

垂直走査回路の走査速度は現行の標準テレビ走査周波数では15.7KHzであり、水平走査回路の速度5~10MHzに較べると数百分の1と遅い。しかし乍ら、液晶パネルを構成するアモルファスSi薄膜トランジスタの易動度は $\sim 1 \text{ cd/V} \cdot \text{sec}$ と小さく(半導体LSIの基板として使用する単結晶Siの易動度に較べると $\sim 1/1000$ である)、第2図に示した垂直走査回路と同様な回路方式を踏襲したのでは上記の垂直走査速度

(高解像化)も図り易いという利点を有しているため、平面表示方式の有力な相手として将来が期待されているものである。

(発明が解決しようとする課題)

しかし乍ら、現行の表示装置は液晶パネルと外部の走査回路を接続する配線数が多く、価格の低減、信頼度および特性の向上などを著しく阻んでいる。将来、高解像度化或いは表示領域の大型化を図ろうとすると、これらの問題は現在以上に大きくなるものと予測される。したがって、これらの問題を解決してゆくためには、液晶パネル等の表示パネルと走査回路との間の接続配線数を減らしてゆくことが大切な課題となる。

本発明の目的は、上記の問題を解決することにより、走査回路の中でも比較的走査速度の遅い垂直走査回路を液晶パネル内に集積化することにある。

(課題を解決するための手段)

上記本発明の目的は、液晶表示パネルの動作を考慮し垂直走査回路の高速化を図ることによつて

15.7KHzを実現することは殆ど不可能である(垂直走査回路の負荷となるゲート線の容量にも依るが、現状の易動度では高々1KHz程度の速度しか得られない)。

上述のとおり、本発明の非品質半導体薄膜トランジスタ垂直走査回路においては、従来の走査回路が受けもつていた①走査パルスのシフト動作および②ゲート線の駆動という2つの役割を分離し、走査パルスのシフトは走査パルスシフト回路により行い、ゲート線の駆動はパルスシフト回路の出力パルスにより開閉する充放電回路によつて行う。

したがって、回路構成要素として易動度の低い非品質半導体薄膜トランジスタを用いた場合においても、現行の走査速度(15.7KHz)を得ることができる集積化垂直走査回路を実現することが可能となる。

(実施例)

以下、本発明を実施例を用いて詳細に説明する。
実施例1

第1図は本発明の垂直走査回路の構成の概略を

示す図であり、1'はスイッチマトリックスと一緒に本発明の垂直走査回路4'を集積化した液晶パネル、7は従来と同じように液晶パネルの外部に設けた水平走査パネルである。ここで、垂直走査回路4'は、走査パルスのシフト動作のみを行う垂直走査パルスシフト回路4'-1と、ゲート線Gの駆動を行う充放電回路4'-2により構成されている。この様な構成にすることにより液晶パネル1'と外部パネルの接続配線数および水平走査パネルなど外部に必要な部品点数は従来装置に較べて約1/2に減少する。また、4'に流れる電流量は、外部との接続がないためゲート線の駆動に必要な量に低電力設計できる。

このためパネル間の接続配線により発生していた寄生容量も小さくなり、従来装置で外部から飛込んでいた走査時のスイッチング雑音を低減することができる。

以下、本発明の骨子である集積化垂直走査回路の具体的な構成について説明する。第3図は垂直走査回路の構成例を示す図である。第3図(a)

のドレイン共通端子4'-Dに印加するパルス、PGは放電用トランジスタのゲート共通端子4'-Gに印加するパルスである。また、放電用トランジスタのソース共通端子4'-Sには直流の"0"レベル電圧(例えばアース電圧を使用する)を印加する(図示せず)。この"0"レベル電圧は図示したように印加端子(4'-S)を設けてもよいし、パルスシフト回路4'-1に"0"レベル電圧を供給する端子(図示せず)と共有するようにしてもよい。共有する場合には、端子4'-Sを設ける必要はなく、パルスシフト回路4'-1のための"0"レベル供給端子に放電トランジスタのソース共通配線を内部接続すればよい。本回路の充放電動作を以下に説明する。

(1) 時間 t_1 でシフト回路のパルスシフト動作により"1"レベルの出力パルス $O(n-1)$ が出力され、充電用TFT4'-3(n-1)が導通状態に入る。

(2) 時間 t_2 で $O(n-1)$ より t_{d1} 時間遅れて、端子4'-Dに"1"レベルパルス

において、4'-1は走査パルスのシフト動作のみを行う走査パルスシフト回路、4'-2は充放電回路である。充放電回路はパルスシフト回路、4'-1が回路各段に出力するパルス $O(n)$ により開閉する充電用薄膜トランジスタ4'-3(以下、充電用TFTと略称する)と充電用TFTによつてゲート線Gに充電した高電圧("1"レベル電圧)を低電圧("0"レベル電圧)に放電する放電用TFT4'-4により構成されている。

ここで4'-1の走査パルスシフト回路としては、例えば第10図に示すような回路を用いることができる。この回路については、例えば特開昭54-161288号に開示されている。第10図中 G_1 、 G_2 は各々クロックパルス発生器、 G_a は入力パルスの発生器、 V_D は駆動用の直流電源、 V_S は一般にアース電位を与える基準電圧印加端子である。

第3図(b)は同図(a)に示した回路の動作タイムチャートを示す図である。 $O(n)$ はシフト回路の出力パルス、PDは充電用トランジスタ

PDが加わる。この結果、時間 t_2 からゲート線 $G(n-1)$ には"1"レベルパルスSP

($n-1$)が出力される(すなわち、ゲート線 $G(n-1)$ は時間 t_2 から"1"レベルに充電される)

(3) 時間 t_2 になるとPDパルスは"0"レベルに低下するのでゲート線 $G(n-1)$ は"1"レベルから"0"レベルに低下し始める。

(4) 時間 t_2 になると(PDパルスが"0"レベルなつた時より t_{d2} 時間遅れて)放電用TFT4'-4($n-1$)のゲートに"1"レベルパルスPGが加わるので、4'-4($n-1$)は導通状態に入り、ゲート線の"1"レベルは充電用TFTおよび放電用TFTの両方を通して"0"レベルに放電する。

(5) 時間 t_2 でPGパルスは"0"レベルに低下し、放電用TFTは非導通状態になるが、時間 t_2 までにゲート線は"0"レベルへの放電を完了する。

(6) 時間 t_2 から t_7 までゲート線 $G(n-1)$

はフローティング状態に置かれるため、水平走査により信号線に送られる画像信号の影響により(すなわち、ゲート線と信号線間に寄生する容量を介して)ゲート線の電圧は時間 t_0 で“0”レベルに設定されたにも拘らず ΔV だけ変化する。この変化電圧 ΔV は1水平走査期間(1H:時間 $t_{11} \sim t_{12}$, $t_{13} \sim t_{14}$, $t_{15} \sim t_{16}$)では微量であるが1フィールド期間(~ 250 H分)に渡って積算されると選択にあずかっている画素スイッチ用TFT(第1図に示した記号2)をいたづらに導通させるような電圧になる。この様な電圧変動の発生を防止するためのゲート線 $G(n-1)$ の電圧レベルは15.7KHz周期で(すなわち1H期間毎に)PGパルスにより導通する放電用TFTを通して常時“0”レベルに設定される(放電用TFTは時間 t_0 以降、時間 $t_{11} \sim t_{12}$, $t_{13} \sim t_{14}$, $t_{15} \sim t_{16}$, ...で導通する)。

(7) 時間 t_0 でシフト回路4'-1から次段のパルス $O(n)$ が出力される。前述の時間 t_0 から t_7 までの説明と同様の動作によりゲート線

$G(n)$ には“1”レベルの走査パルス(“1”レベル期間は時間 t_0 から t_7 まで、それ以前および以後の期間は“0”レベル)が出力される。

(8) 時間 t_0 でシフトから次々段のパルス $O(n+1)$ が出力され、前述と同様の動作によりゲート線 $G(n+1)$ には“1”レベルの走査パルス(“1”レベル期間は時間 t_{10} から t_{11} まで、それ以前および以降の期間は“0”レベル)が出力される。時間 t_{12} 以降も前述と同様の動作によりゲート線 $G(n+2)$, $G(n+3)$, $G(n+4)$, ...に“1”レベル走査パルス $SP(n+2)$, $SP(n+3)$, $SP(n+4)$, ...が順次出力される。これらの“1”レベル走査パルス SP は対応するゲート線につながる画素スイッチ2を導通状態におき、この“1”レベル期間にゲート線に属する総ての被品セルへの画像信号の書き込みが完了する。また、パルスPGの“1”レベル期間は信号書き込みに関係しないので、通常は水平掃線期間の中に納める

のが望ましい。第3図(b)に示した動作タイムチャートにおいては、パルス O (“1”)とPD(“1”), パルスPD(“0”)とPG(“1”)の間に各々遅延時間 t_{d1} , t_{d2} を設けたが遅延時間を設けることは本質的ではない。遅延時間 t_{d1} は0(遅延時間なし)でもよいし、逆にパルスPD(“1”)が O (“1”)より先行するようにしても動作に支障はない。一方、遅延時間 t_{d2} は0(遅延時間なし)でもよい。また、パルスPG(“1”)を時間 t_0 より先行させる場合には、パルスPGが“1”レベルに上昇する迄に対応するゲート線に属する総ての被品セルへの画像信号の書き込みを完了しておくようにすればよい。

前記(第3図(b))の実施例においては、ドレイン共通端子4'-Dにパルス電圧PDを加える例を示したが、端子4'-Dには第3図(c)に示すような直流電圧DDを加えるようにしてもよい。この場合にはパルスシフト回路4'-1の出力するパルス $O(n)$ は第3図(b)の場合よ

り“1”レベル期間を縮め、 $O(n)$ の“1”レベル期間(T_{00})と端子4'-Gに与えるパルスPGの“1”レベル期間(T_{00})が1水平走査期間(1H)に納めるようにすればよい($T_{00} + T_{00} \leq 1H$)。この様な条件においても、第3図(b)の場合とほぼ同様の動作により、時間順次な走査パルス $SP(n-1)$, $SP(n)$, $SP(n+1)$, ...を得ることができる。これら走査パルス $SP(n)$ の“1”レベル期間(パルス幅、 T_{sp})は出力パルス $O(n)$ のパルス幅(T_{00})によつて決まり、 $O(n)$ のパルス幅と等しくなる。ここで使用するパルスシフト回路4'-1には、例えば出力のパルス幅がパルスシフト動作を行わせるためにシフト回路に供給するクロックパルス(図示せず)のパルス幅によつて決まるような回路を選べばよい。この種のシフト回路を用いることによりクロックパルスのパルス幅を所定の値に設定することにより、所定の走査パルス幅(T_{sp})を得ることができる。また、直流電圧DDとしてパルスシフト回路駆動用の電源(図

示せず)を利用するようにすれば端子4'-Dを省略することができ、外部から垂直走査回路へ入力する配線の数を1本減らすことができる。

実施例2

第4図は極性反転回路8を設けパルスPGとしてパルスPDの反転パルスを用いる他の実施例を示す図である。これは第3図の実施例で述べた遅延時間 $t_{d2}=0$ の場合に相当している(ここでは遅延時間 t_{d1} も0の場合を記載したが、 $t_{d1} \neq 0$ であつても何ら支障ない)。ドレイン共通端子4'-DにパルスPDを加えると充電トランジスタのドレインにパルスPDが供給され、同時に極性反転回路8の出力9には第4図(b)に示したような反転パルスPGを得ることができる。この反転パルスを放電トランジスタのゲート共通配線4'-Gに供給する。この結果、第3図の場合とほぼ同様の動作により、時間順次な走査パルスSP(n-1), SP(n), SP(n+1), ...を得ることができる。ここで、極性反転回路8を垂直走査回路と同様に同じパネル上に集積化す

ることができる。この場合は外部から垂直走査回路へ入力する配線の数を1本減らすことができる。集積化する場合の極性反転回路の一例を第4図

(a)に示す。10は負荷用TFT, 11は駆動用TFTであり、駆動用TFTのgmを負荷用TFTのgmの5倍程度より大きな値に設計するようにすれば安定な極性反転動作を得ることができる。配線数の増加をおさえるため電源電圧端子12は例えばパルスシフト回路の電源に内部接続する。"0"レベル電圧端子13は端子4'-Sに内部接続すればよい。

実施例3

第5図は回路各段に極性反転回路8'(n)を設け、パルスシフト回路の出力O(n)の反転パルスにより放電用TFTを開閉するようにした実施例である。この構成においても第3図の場合と同様の動作により、時間順次な走査パルスSP(n-1), SP(n), SP(n+1), ...を得ることができる。

実施例4

パルスシフト回路各段のノードには出力パルスO(n)と極性、或いは位相の異なる2~3種類のパルスが存在している(図示せず)。これらのパルスをシフト回路4'-1の外部に取出し放電用TFTの開閉に利用する走査回路の例を第6図に示す。第6図(a)はパルスシフト回路に存在するO(n)の反転パルスM(n)をパルスシフト回路の外に取出し、パルスシフト回路と同一段の放電用TFT 4'-4(n)のゲートを開閉するようにした例である。この様な構成により第3図(b)に示したパルスPGと同一、或いはPGに類似したパルスを放電用TFTのゲートに加えることができ、第3図の場合と同様の動作により時間順次な走査パルスSP(n-1), SP(n), SP(n+1), ...を得ることができる。

第6図(b)は次段のパルスシフト回路に存在する反転パルスを取出し前段の放電用TFTを開閉するようにした例である。放電用TFTの役割はゲート線G(n)がフローティング状態に置かれる期間が長くなるのを防ぐためゲート線の電位

を周期的に(1H毎に)"0"レベルに戻すことにある。

実施例5

これまでの実施例においては、パルスシフト回路1段当たり1個の充電用TFTを設ける例を記載してきたが、パルスシフト回路1段当たりm個(mは2以上の整数)の充電用TFTを設けることができる。第7図にパルスシフト回路1段当たり3個の充電用TFTを設けた例を示す。パルスシフト回路4'-1のシフトパルスO(n)は3個の充電用TFT 4'-3(n-1), 4'-3(n), 4'-3(n+1)のゲートに入力される。充電用TFTのドレイン共通端子4'-D1, 4'-D2, 4'-D3には第7図(c)に示すようにO(n)のパルス幅の1/3に相当する時間順次なパルスPD1, PD2, PD3が加えられる。したがって、O(n)のパルス幅を3H、パルスPDのパルス幅を1Hを越えない所定の幅(Wpd)とすることにより、第3図の場合と同様な動作により時間順次な1Hのパルス幅を有する走査パル

… $SP(n-1)$, $SP(n)$, $SP(n+1)$, …を得ることができる。

第7図(a)はドレイン共通配線D1, D2, D3に加えるパルスPD1, PD2, PD3を発するPDパルス発生回路14を設けた例を示している。パルスPD1, PD2, PD3は第7図(b)に示したように時間的に順次シフトしたパルス列なので、これらのパルス列はパルスシフト回路4'-1と同様の構成を有する回路によつて作ることができる。ここではパルス発生回路14を内蔵垂直走査回路と一緒に集積化する例を記載したが、外部に設けるようにしてもよい。この様にパルスシフト回路1段に付してm個の充電用TFTを設ける構成にした場合、次の利点を得ることができる。(1)パルスシフト回路の動作周波数を $1/m$ に落すことができるため易動度の低い $a-Si-TFT$ を使用しても十分な走査速度を得ることができる。(2)パルスシフト回路の消費電力が $1/m$ に減少する。(3)パルスシフト回路全体の段数を $1/m$ に低減できるため回路の占め

る面積を $1/m$ に減らすことができ製作歩留りを向上することができる。

実施例6

本発明の走査回路は液晶パネル内に集積化し従来の様に外部との配線を必要としないため、第8図の実施例に示すように垂直走査路4'-L, 4'-Rを左右に2個設けることができる。ここで、2つの走査回路は時間的に全く同一の動作をし、同一の走査パルス $SP_L(n)$, $SP_R(n)$ を同一のゲート線 $G(n)$ に加わるようにすると、ゲート線の左半分の駆動を4'-Lが、右半分を4'-Rが受けもつことになる。したがって、各々の走査回路の負荷となるゲート線の容量および抵抗は各々 $1/2$ に減少する。この結果、垂直走査回路の走査速度を実効的に4倍向上することが可能になる。

実施例7

第9図は水平走査回路も表示パネル1'の上に内蔵する例を示している。第9図(a)において、7'は水平走査回路5を集積化した基板であり、

水平走査回路はアモルファスSi-TFTに較べて易動度の数十倍高い多結晶シリコンを材料とした薄膜トランジスタ、或いは更に易動度の高い単結晶シリコンを材料としてMOSトランジスタにより構成されている。この基板7'は表示パネル1'の上部に接着剤などを用いて貼合わせる事ができる。この様な形にすることにより外部との配線数は殆どなくすることができ、信頼度および価格の低減効果はこれまでに述べてきた実施例より更に向上することになる。

水平走査回路は多結晶シリコン、或いは単結晶シリコンを用いて作るが、これらの材料でパネルサイズに相当するような長い回路を製作することが難しい場合は、第9図(b)に示すように水平走査回路を複数のチップに分割して同じ基板7'に載せるようにしてもよいし、或いは第9図(c)に示すように基板自体を複数個に分割し、各々の基板に1個、或いは複数個の走査回路を載せるようにしてもよい(1は分割数を表わす正の整数)。

水平走査基板7'を表示パネル1'に貼合せる

場合水平走査回路各段の出力51と(51-1, 51-2, …51-n)とパネル上の配線S

(S1, S2, …S(n))を電気的に接続する必要がある。接続する方法としては幾多の手段を考えることができるが、例えば第9図(d), (e)に示したような手段を考えることができる。第9図(d)に示した手段は水平走査回路各段の出力配線51の一端およびパネル上の配線Sの一端に通常のICチップの場合と同様のボンディングパッド52, 53を設け、パッド52と53をワイヤボンディングによつて結びつけるものである。一方、第9図(e)はワイヤボンディングを用いないで接続する手段を示したもので、各々の基板7', 1'は同図(f)に示したような構造を備えている。55-1は水平走査回路各段の出力配線の一端に設けた半田等を材料としたパンプ、55-2は配線Sの一端に設けた半田等を材料とするパンプであり、これらのパンプに300~350℃程度の熱を加えることにより両パンプを融合することができる。この他にもパンプを金

(Au)、錫(Sn)等で作り、2つのパンプを熱および圧力を加えることにより融合(熱圧着)することもできる。

〔発明の効果〕

本発明によれば、垂直走査回路を走査パルスのシフト動作を行う回路とゲート線の駆動を行う回路という2種類の機能回路により構成し、走査回路に大きな負荷容量が直接加わるのを防止するようにしたので、走査速度を従来に較べて1桁以上向上することができるという効果がある。したがって、垂直走査回路を液晶パネルの如き表示パネルと同一パネル上に集積化することが可能となり、表示パネルと外部回路の接続配線数および外部回路の部品点数を約1/2に低減することができる。これは、信頼度の向上、価格の低減および消費電力の低減につながるばかりでなく、従来方式において電流消費量の大きい外部回路から飛込んでいたスイッチング時の誘導性雑音を低減することができ表示装置の画質改善にもつながる。さらに、本発明の効果は、将来、高解像度化(或いは液晶

パネルの大型化)を図る場合に更に大きくなり、本発明のもたらす実用価値は極めて大きい。

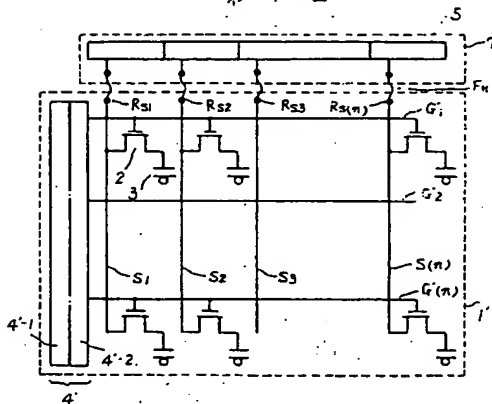
4. 図面の簡単な説明

第1図は本発明の薄膜トランジスタ集積化垂直走査回路の全体構成を示す図、第2図は従来の垂直走査回路の全体構成を示す図、第3図は本発明の集積化垂直走査回路の詳細な構成を示す図、第4図、第5図、第6図、第7図、第8図および第9図は本発明の他の実施例を示す図、第10図は第3図中の走査パルスシフト回路の構成例を示す図である。

1…液晶パネル、2…画素スイッチ用薄膜トランジスタ、3…液晶セル、4…垂直走査回路、4'-1…パルスシフト回路、4'-2…充放電回路、5…水平走査回路、8…極性反転回路、14…パルス発生回路。

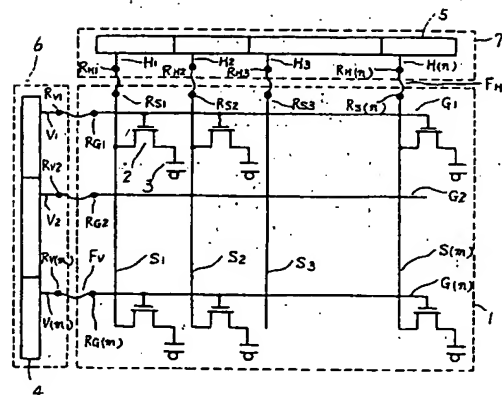
代理人 弁理士 小川勝男

第1図

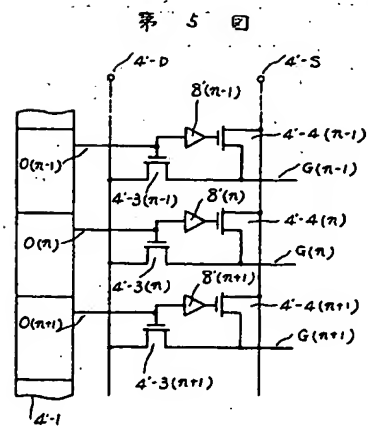
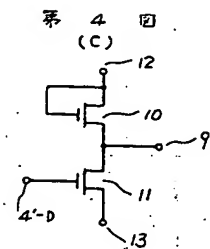
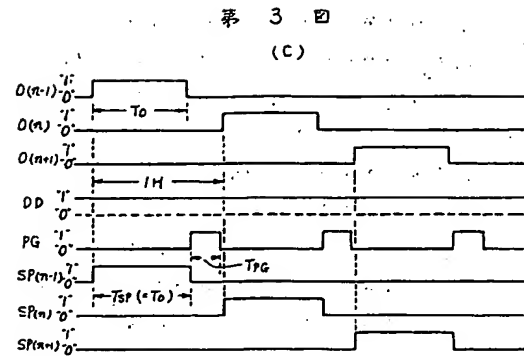
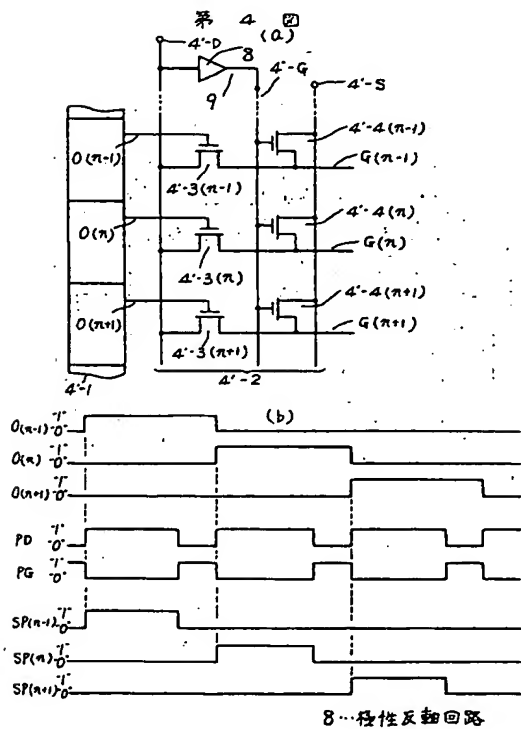
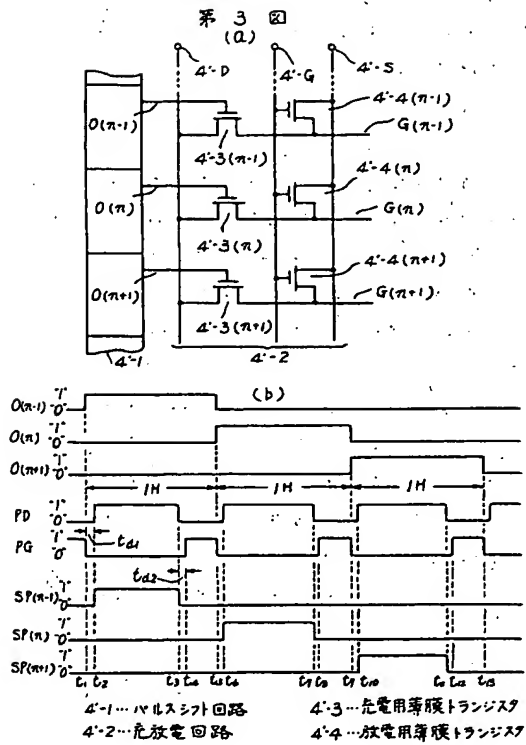


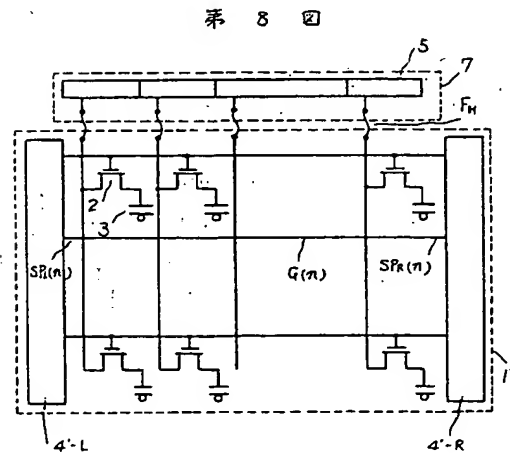
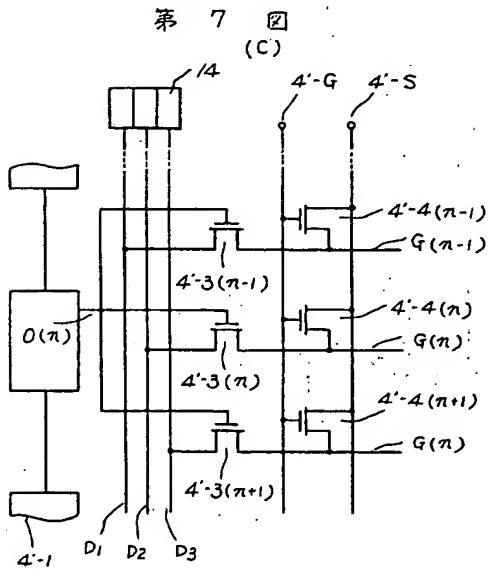
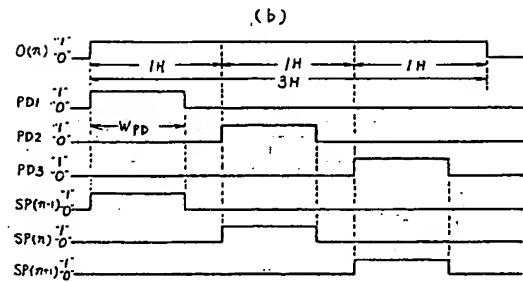
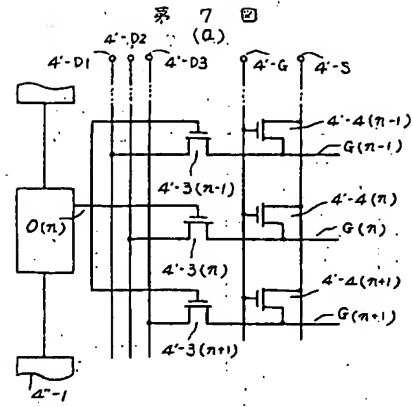
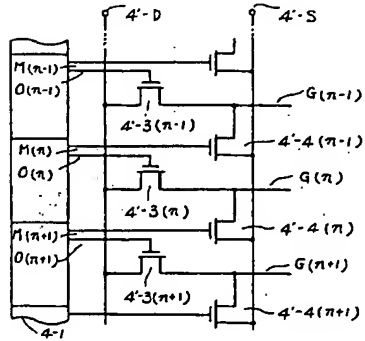
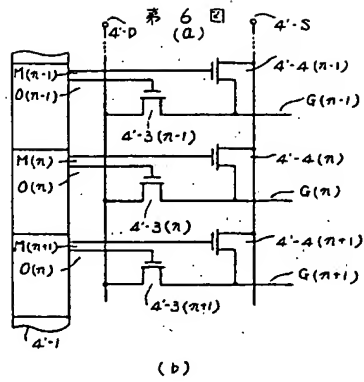
1…液晶パネル
2…画素スイッチ用薄膜トランジスタ
3…液晶セル
4…垂直走査回路

第2図

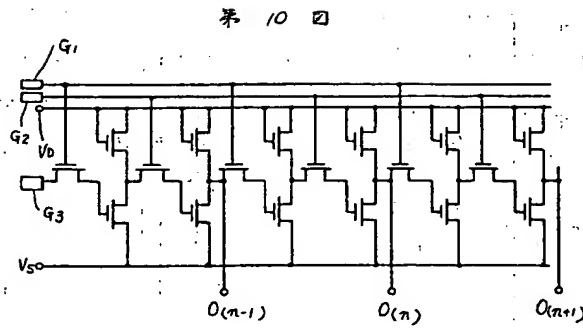
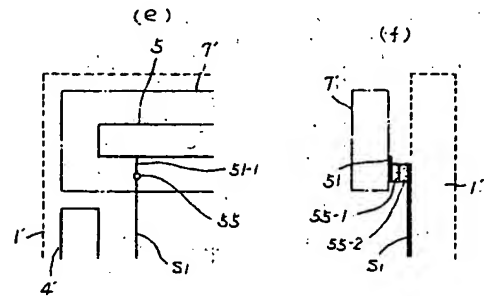
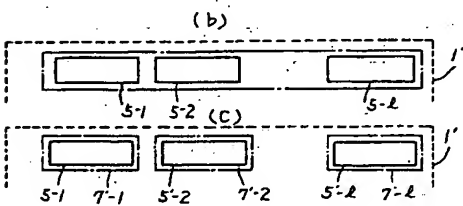
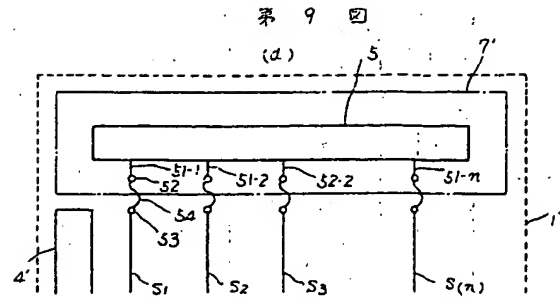
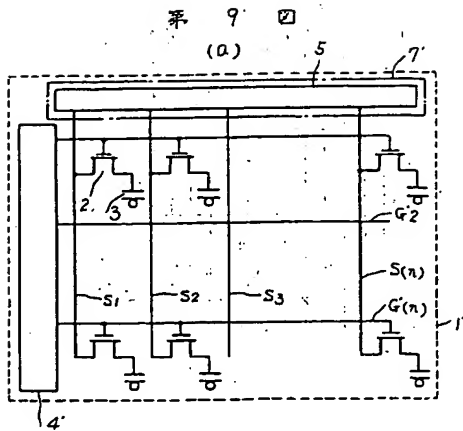


5…水平走査回路
6…垂直走査パネル
7…水平走査パネル





1/4 ... パルス発生回路



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成8年(1996)8月30日

【公開番号】特開平2-3008

【公開日】平成2年(1990)1月8日

【年通号数】公開特許公報2-31

【出願番号】特願昭63-150285

【国際特許分類第6版】

G02F 1/133 550

G09G 3/36

// H03K 17/00

【FI】

G02F 1/133 550 8708-2K

G09G 3/36 9378-5G

H03K 17/00 F 9184-5J

手 続 補 正 書

平成 7 年 6 月 19 日

特 許 庁 長 官 殿

事 件 の 表 示

昭和63年特許願第150285号

発 明 の 名 称

液晶表示装置

補正をする者

事件との関係

特 許 出 願 人

名 称

(510) 株式会社 日立 製 作 所

代 理 人

居 所

〒100 東京都千代田区丸の内一丁目5番1号

株式会社 日立 製 作 所 内

電 話 東 京 3212-1111(大代表)

氏 名

(6850) 弁 理 士 小 川 勝 男

補 正 の 対 象 明細書の「発明の名称」、「特許請求の範囲」
及び「発明の詳細な説明」の欄

補正の内容

1. 発明の名称を「液晶表示装置」と補正する。
2. 特許請求の範囲を別紙のとおり補正する。
3. 明細書第6頁15行の「できる」を「でき、駆動度が単結晶Siより小さい半導体薄膜トランジスタを用いて」と訂正する。
4. 明細書第13頁第18行の「直流電圧DO」を「直流電圧DD」と訂正する。

(2)

別 紙

特許請求の範囲

1. 液晶パネル内に垂直走査回路が集積化されており、該垂直走査回路は、複数個の半導体薄膜トランジスタから成る単位回路が複数段従属接続されて成るパルスシフト回路と、該パルスシフト回路に接続して成り、かつ該パルスシフト回路の出力するシフトパルスにより開閉する複数個の半導体薄膜トランジスタから成る充電・放電回路とを有し、かつ上記充電・放電回路はその各段から時間的に順次走査パルスを発することを特徴とする液晶表示装置。
2. 液晶パネル内に多結晶半導体薄膜トランジスタで構成された水平走査回路がさらに集積化されている請求項1記載の液晶表示装置。